

Использование компонентов в VHDL

Компонент, который будем использовать в других компонентах

```
entity test1 is
  port (
    -- Входные порты
    a : in std_logic;
    b : in std_logic;
    -- Выходной порт
    c : out std_logic
  );
end test1;

architecture test1_rtl of test1 is
begin
  -- Какая-то операция
  c <= a and b;
end;
```

Пример использования компонента test1 в компоненте test1x4

```
entity test1x4 is
  port (
    -- Входные порты
    a : in std_logic_vector(3 downto 0);
    b : in std_logic_vector(3 downto 0);
    -- Выходной порт
    c : out std_logic_vector(3 downto 0)
  );
end test1;

architecture test1x4_rtl of test1x4 is
  -- Объявляем компонент
  component test1
    port (
      a : in std_logic;
      b : in std_logic;
      c : out std_logic
    );
  end component;
begin
  -- Создаём экземпляры компонентов по схеме
  -- ИМЯ_ЯДРА : ИМЯ_ЭКЗЕМПЛЯРА port map (ПАРАМЕТР1, ПАРАМЕТР2, ПАРАМЕТР3, ...);
  -- ИМЯ_ЯДРА - имя компонента, объявленного выше
  -- ИМЯ_ЭКЗЕМПЛЯРА - имя вашего экземпляра. Любое валидное имя.
  -- ПАРАМЕТР - сигнал, который будет подключен на соответствующий по порядку порт компонента.
  test1x1 : test1 port map (a(0), b(0), c(0));
  test1x2 : test1 port map (a(1), b(1), c(1));
  test1x3 : test1 port map (a(2), b(2), c(2));
  test1x4 : test1 port map (a(3), b(3), c(3));
end;
```