

Использование компонентов в Verilog

Компонент, который будем использовать в других компонентах

```
module test1 (  
    // Входные порты  
    input a,  
    input b,  
    // Выходной порт  
    output c  
);  
    // Какая-то операция  
    assign c = a && b;  
endmodule
```

Пример использования компонента test1 в компоненте test1x4

```
module test1x4 (  
    // Входные порты  
    input [3:0] a,  
    input [3:0] b,  
    // Выходной порт  
    output [3:0] c  
);  
    // Создаём экземпляры компонента test1  
    test1 alala1 (a[0], b[0], c[0]);  
    test1 alala2 (a[1], b[1], c[1]);  
    test1 alala3 (a[2], b[2], c[2]);  
    test1 alala4 (a[3], b[3], c[3]);  
endmodule
```